

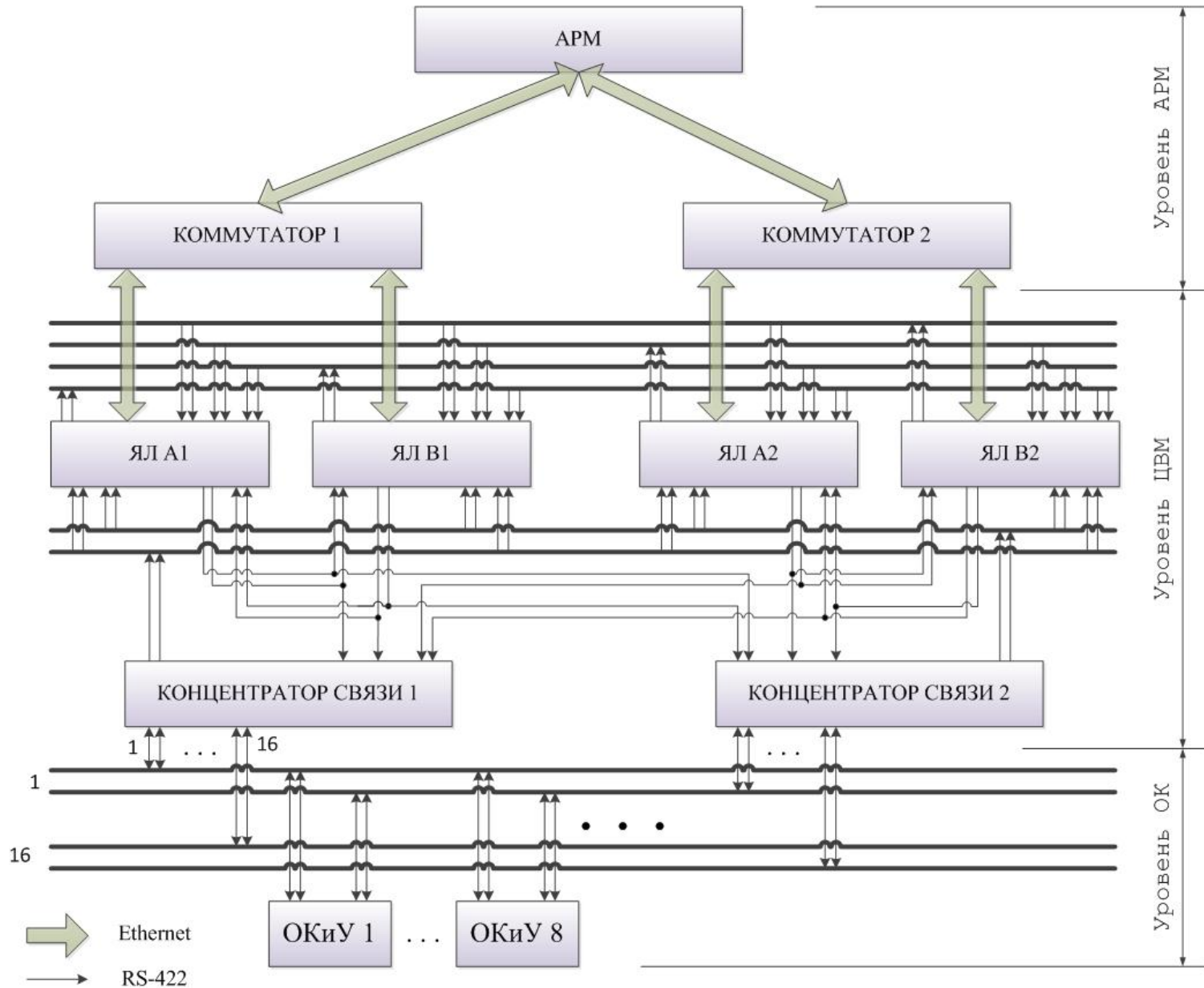


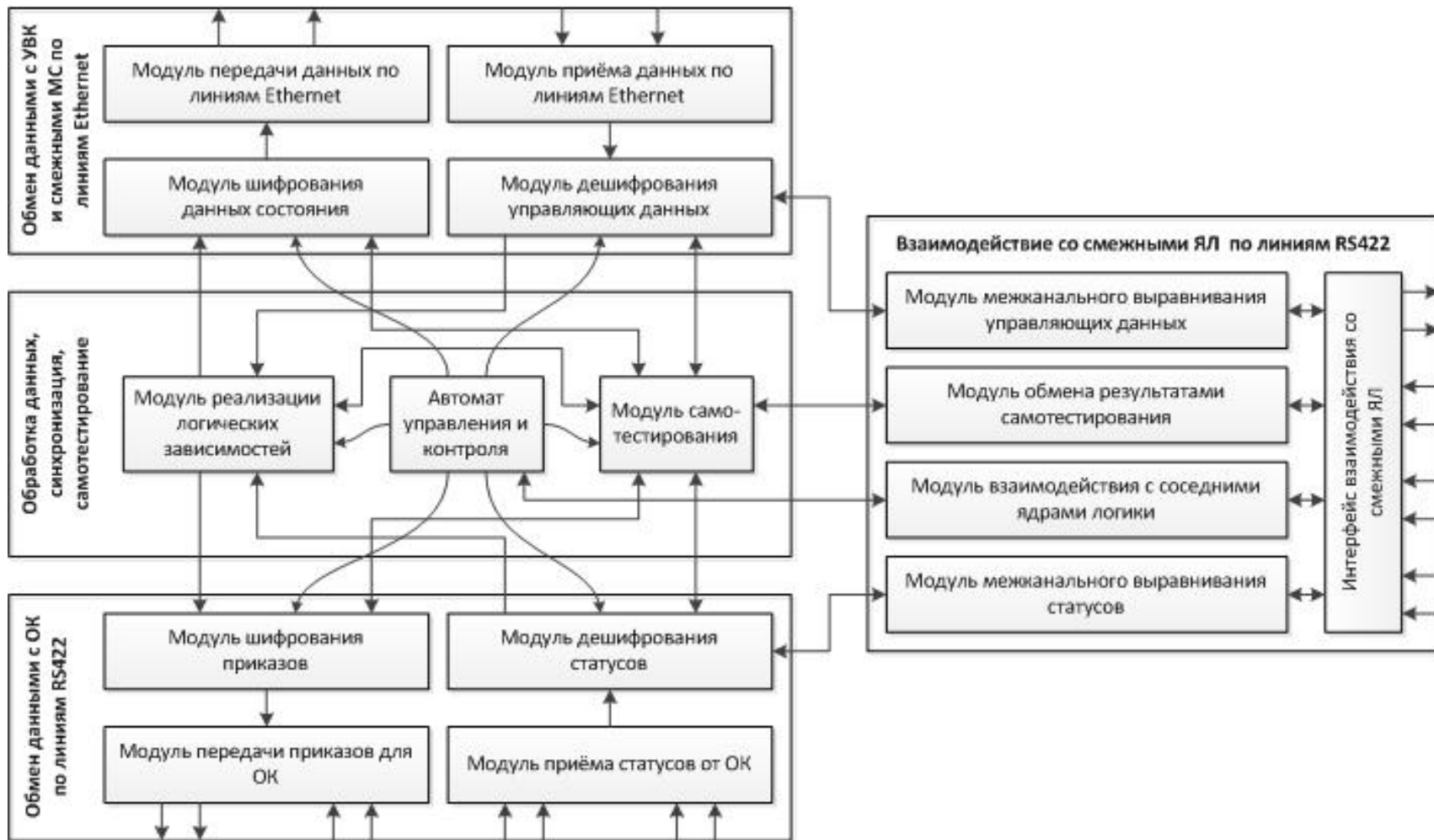
Архитектура четырехъядерного
вычислителя со встроенными
средствами самотестирования для
систем железнодорожной
автоматики

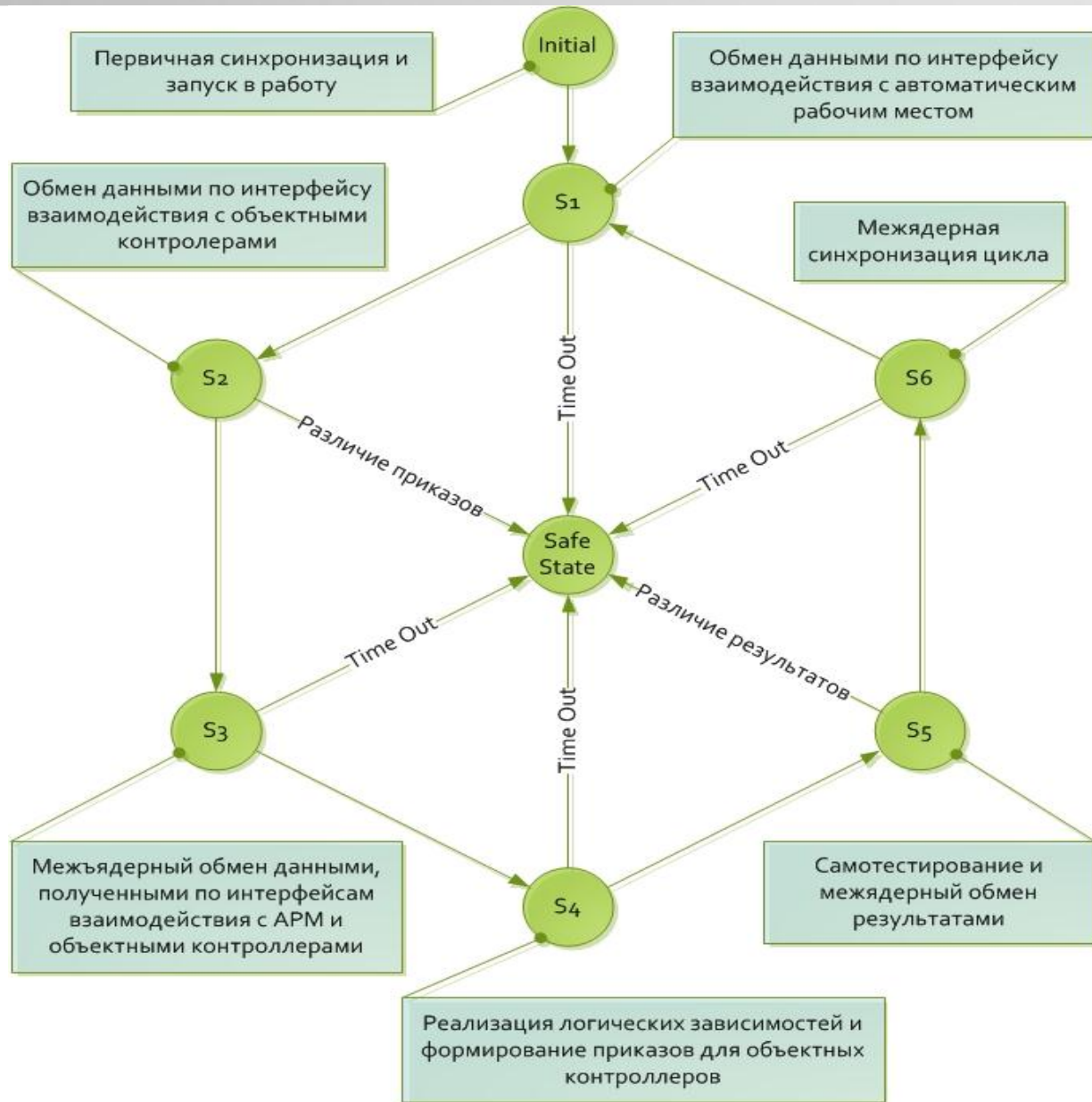
Докладчик: Аленин Д. А.
Коноваленко Н. В.



- **Объектные контроллеры МПЦ «Движение»
НИИ ТМ г.Санкт-Петербург;**
- **Аппаратура ТРЦ разработки ЗАО НПФ КОМАГ-Б
г.Москва;**
- **Расширитель центрального процессора МПЦ
производства ОАО «Радиоавионика» г.Санкт-
Петербург;**
- **Диспетчерская централизация «КАСКАД»
г.Днепропетровск.**









ГОСТ Р 51901.12-2007 (МЭК 60812:2006)

Концепция RPN (Risk Priority Number) предусматривает оценку вероятности обнаружения отказа. Вероятность того, что у серии действий по контролю процесса есть возможность обнаружения и изоляции отказа прежде, чем возникнет второй и повлияет на последующие процессы или на готовую продукцию.

Концепция безопасности для микроэлектронных систем такова: «Одиночные дефекты аппаратных и программных средств не должны приводить к опасным отказам и должны обнаруживаться с заданной вероятностью при рабочих и тестовых воздействиях не позднее, чем в системе возникнет второй дефект.»





ЧТО ТЕСТИРОВАТЬ

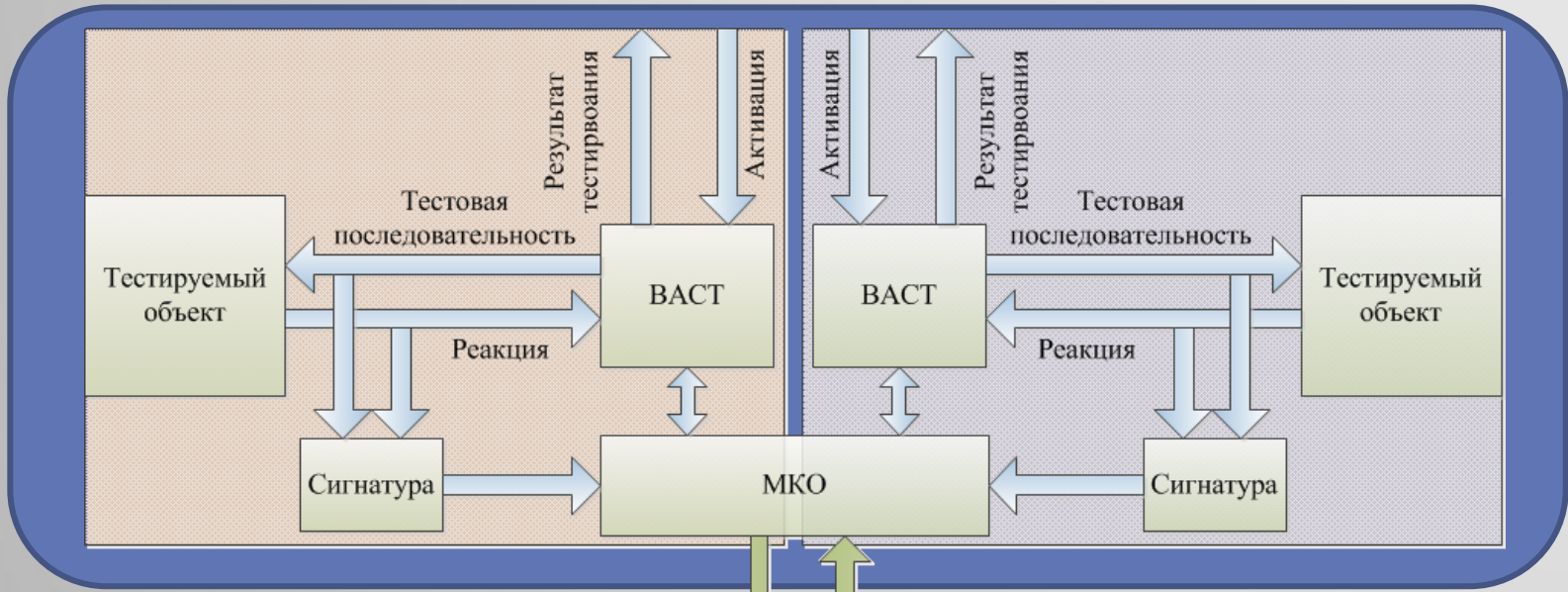
- память RAM, ROM;
- регистры;
- конечные автоматы;
- комбинаторная логика.

КАК ТЕСТИРОВАТЬ

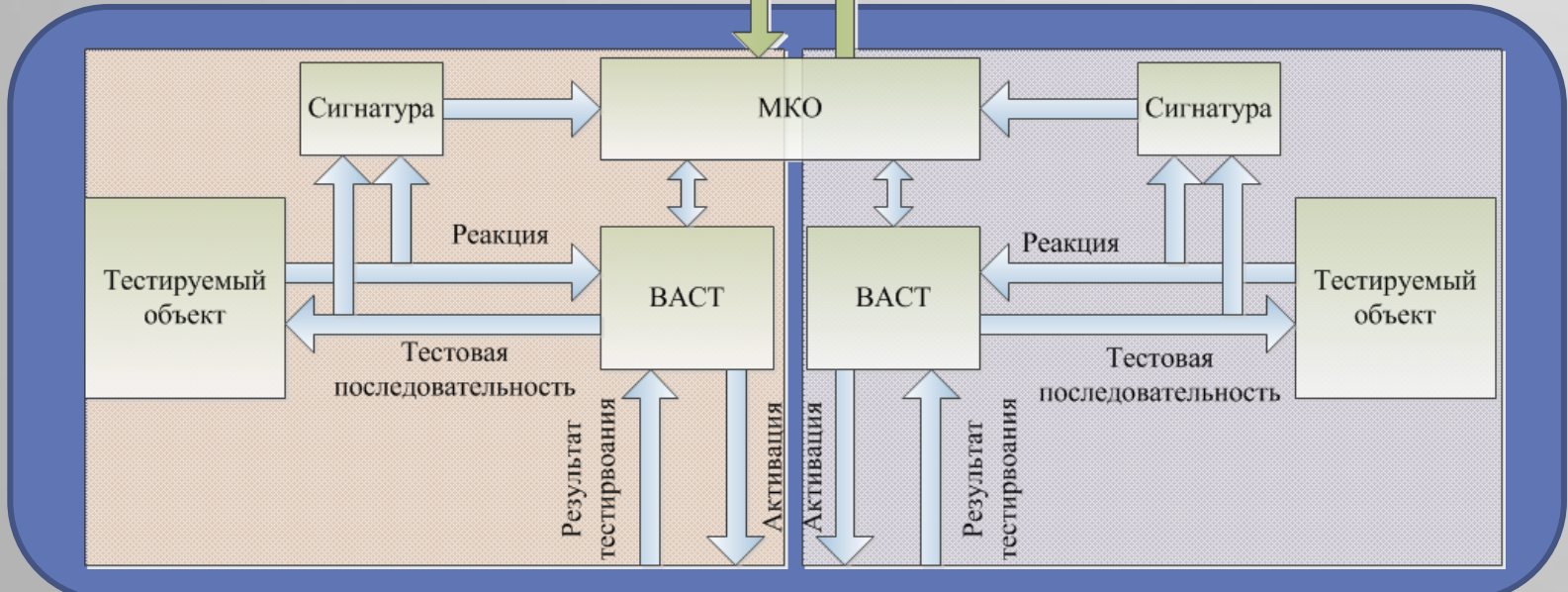
- Встроенная аппаратура самотестирования (ВАСТ).

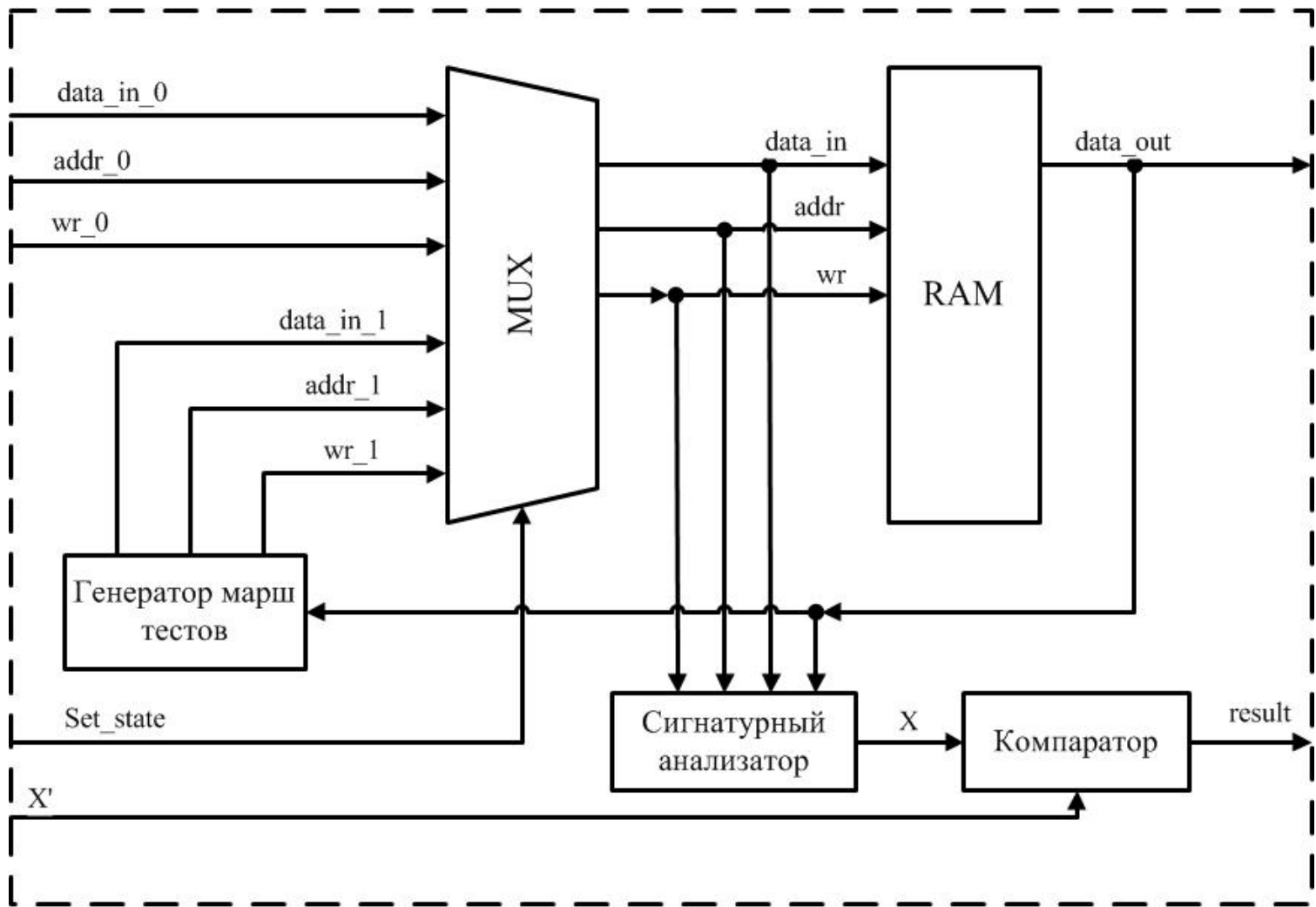


• ЯЛ А

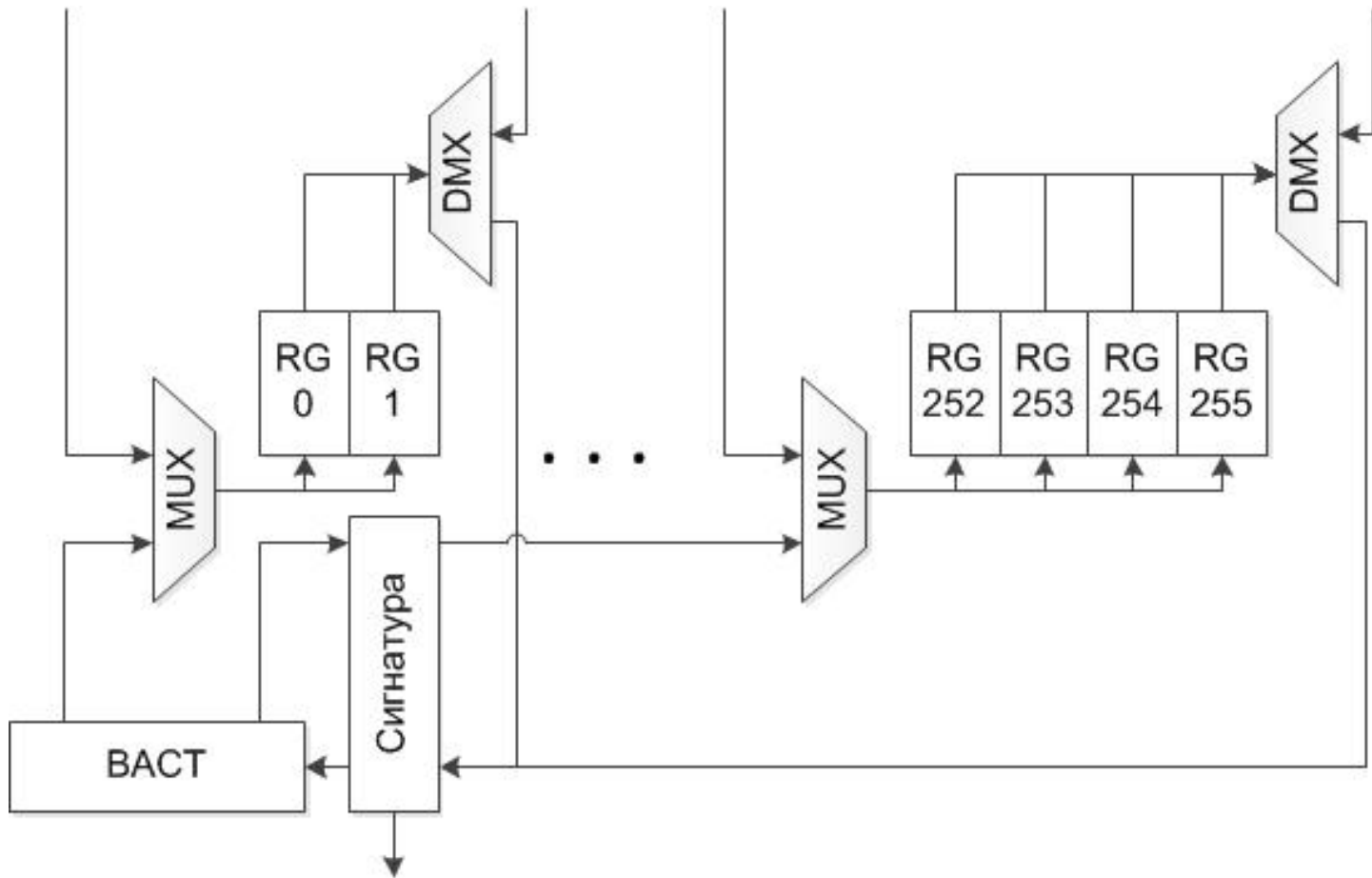


• ЯЛ В

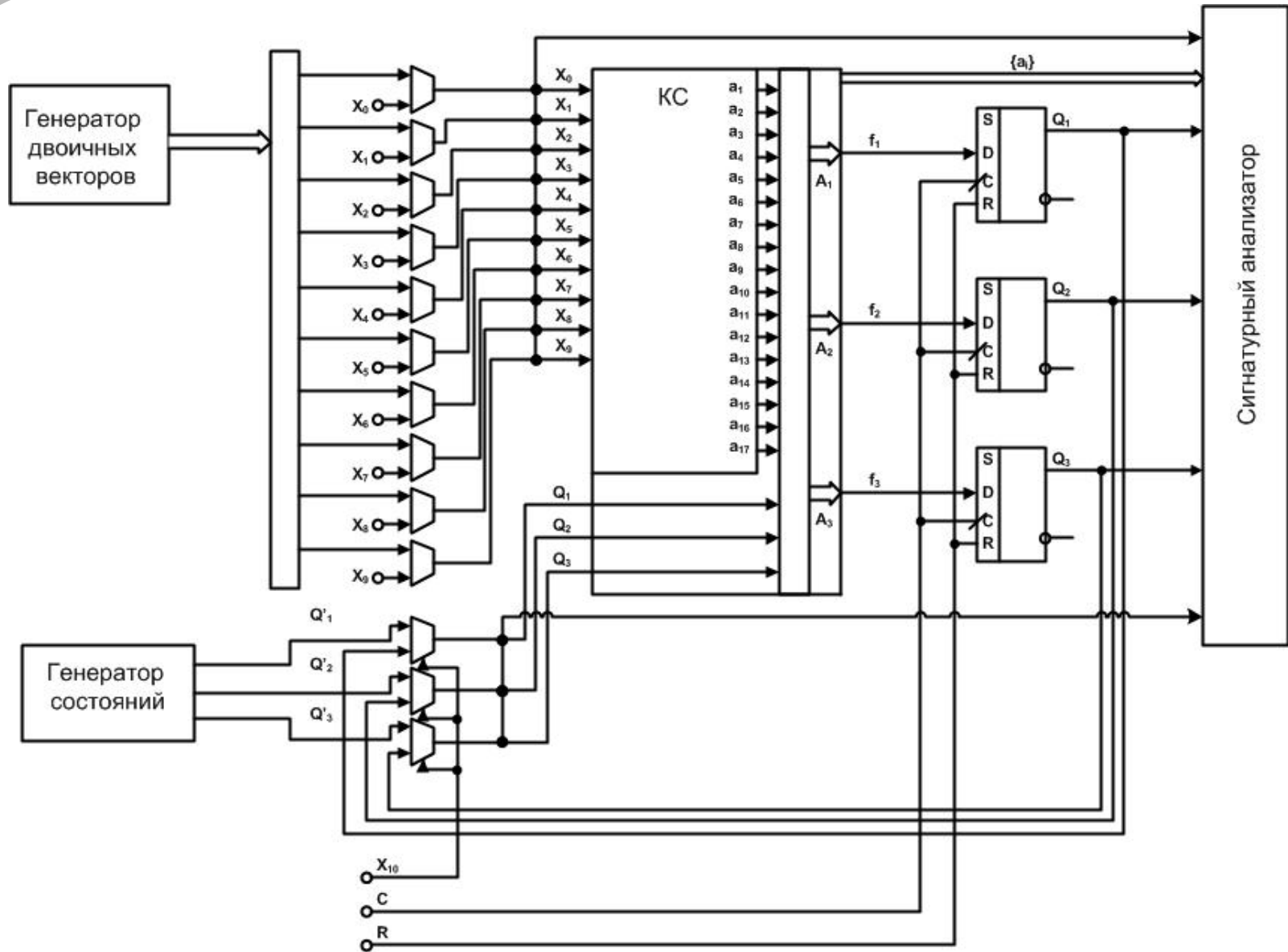




$$\text{MARCH mSS} = \{ (r_a, r_a, w_a, r_a, w_{\bar{a}}) ; (r_{\bar{a}}, r_{\bar{a}}, w_{\bar{a}}, r_{\bar{a}}, w_a) ; \\ (r_a, r_a, w_a, r_a, w_{\bar{a}}) ; (r_{\bar{a}}, r_{\bar{a}}, w_{\bar{a}}, r_{\bar{a}}, w_a) ; (r_a) \}$$



$$\text{MARCH } mSS = \{ (r_a, r_a, w_a, r_a, w_{\bar{a}}) ; (r_{\bar{a}}, r_{\bar{a}}, w_{\bar{a}}, r_{\bar{a}}, w_a) ; \\ (r_a, r_a, w_a, r_a, w_{\bar{a}}) ; (r_{\bar{a}}, r_{\bar{a}}, w_{\bar{a}}, r_{\bar{a}}, w_a) ; (r_a) \}$$





1. Впервые предложено использование самотестируемых цифровых систем применительно к железнодорожной автоматике и телемеханике на основе ПЛИС, что позволяет повысить надежность и безопасность ПО систем ЭЦ за счет полного выявления одиночных статических отказов и некоторых динамических.

2. Получили дальнейшее развитие методы тестирования RAM и регистров на основе неразрушающих маршевых тестов, которые, в отличие от известных, учитывают отказы проверяющей системы генерации тестовых последовательностей и позволяют выявлять не только статические, но и некоторые динамические виды отказов, что обеспечивает повышение надежности и безопасности ПО систем ЭЦ.



СПАСИБО ЗА ВНИМАНИЕ !